

#25

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

10073641

Basic Patent (No,Kind,Date): JP 3179391 A2 910805 <No. of Patents: 001>
DISPLAY DEVICE (English)

Patent Assignee: SHARP KK

Author (Inventor): SHIMADA NAOYUKI; OKAMOTO MASAYA; TAKATO YUTAKA
IPC: *G09G-003/36; G02F-001/133

JAPIO Reference No: 150430P000166

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3179391	A2	910805	JP 89319452	A	891207 (BASIC)

Priority Data (No,Kind,Date):
JP 89319452 A 891207

Best Available Copy

02408
DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.
03516491 **Image available**

DISPLAY DEVICE

PUB. NO.: 03-179391 [JP 3179391 A]

PUBLISHED: August 05, 1991 (19910805)

INVENTOR(s): SHIMADA NAOYUKI
OKAMOTO MASAYA
TAKATO YUTAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-319452 [JP 89319452]

FILED: December 07, 1989 (19891207)

INTL CLASS: [5] G09G-003/36; G02F-001/133

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1270, Vol. 15, No. 430, Pg. 166,
October 31, 1991 (19911031)

ABSTRACT

PURPOSE: To improve the yield by providing a couple of driving circuits which have plural shift registers and the same function and complementing the defect of a shift register of one driving circuit by the shift registers of the other driving circuit.

CONSTITUTION: On an active substrate 21, an image display part 22, a couple of gate driving circuits 24a and 24b, and a couple of source driving circuits 25a and 25b are formed, and the couple of source driving circuits 25a and 25b are provided with the shift registers 26a - 26d, and 33a - 33d which are put in partial charge and designate in order the respective corresponding columns of the image display part 22. Then if the shift registers 26a, 33c, etc., of the source driving circuits 25a and 25b are defective, the wirings of corresponding connection parts are fused to disconnect them from the image display part 22 and then the source driving parts 25a and 25b complement the defective parts mutually. Similarly, this can be applied to the gate driving circuits 24a and 24b. Consequently, the yield can be improved.

④ 日本国特許庁(JP)

⑤ 特許出願公開

⑥ 公開特許公報(A)

平3-179391

⑦ Int. Cl.³

G 09 G 3/36
G 02 F 1/133

識別記号

550

庁内整理番号

8821-5C
7709-2H

⑧ 公開 平成3年(1991)8月5日

審査請求 未請求 請求項の数 1 (全8頁)

⑨ 発明の名称 表示装置

⑩ 特 願 平1-319452

⑪ 出 願 平1(1989)12月7日

⑫ 発 明 者 島 田 尚 幸

大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑬ 発 明 者 岡 本 昌 也

大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑭ 発 明 者 高 藤 裕

大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内

⑮ 出 願 人 シヤープ株式会社

⑯ 代 理 人 弁理士 西教 圭一郎

大阪府大阪市阿倍野区長池町22番22号
外1名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

3次元配列形の画像表示部と、

この画像表示部の各行を順次駆動可能な第1の駆動回路と、

前記画像表示部の各列を順次駆動可能な第2の駆動回路とが互一対向面上に形成された表示装置において、

前記第1および第2の駆動回路の少なくとも一方は、前記画像表示部を各々独立に駆動可能な一対の駆動回路から成り、

前記一対の駆動回路は、前記画像表示部の対応する各行または各列をそれぞれ分選して順次駆動する複数のシフトレジスタを備え、かつそれらの一対の駆動回路のうち1つの駆動回路内の任意のシフトレジスタと、このシフトレジスタに1対1に対応する他の1つの駆動回路内の任意のシフトレジスタとのいずれか一方を、図式的に前記図

像表示部から切り離すための切替手段を備えることを特徴とする表示装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、複数の線素がマトリクス状に配列された2次元配列形の画像表示部を持つ表示装置に関する。

従来の技術

第3図は、従来のアクティブマトリクス駆動方式の画像表示装置における表示電極駆動であるアクティブマトリクス駆動1上での駆動回路を簡略的に示す回路図である。

第3図において、画像表示部2には走査電極となる複数のゲートバスラインYと信号電極となる複数のソースバスラインXとが互いに直角に互に交差するように配列されており、これらのゲートバスラインYとソースバスラインXが交差する位置毎に、つまりマトリクス状に複数の（図ではコンデンサで表している）の構成要素である線素電極とこの線素電極に映像信号を選択的に供給す

特開平3-179391(2)

るためのスイッチング素子である薄膜トランジスタ (Thin Film Transistor; 以下、TFTと略称する) がそれぞれ配置されている。TFT 3のゲート電極はゲートバスラインYに、ソース電極はソースバスラインXに、ドレイン電極は負電極にそれぞれ接続されている。

ゲート駆動回路4は画像表示部2の各ゲートバスラインYにその駆動信号に従ってTFT 3をオン駆動させる信号を与えるための回路であり、ソース駆動回路5は画像表示部2の各ソースバスラインXにその駆動信号に従って映像信号を与えるための回路である。

上記アクティブマトリクス基板1と図示しない対向基板との間に液晶層を介在させることによって液晶パネルが構成され、アクティブマトリクス基板1の駆動電極と対向基板側の対向電極とで決まる液晶層の各部分が画素となる。

上記アクティブマトリクス基板1は、画像表示部2、ゲート駆動回路4、ソース駆動回路5を同一基板上に形成しているので、一般的に画素を

れているアクティブマトリクス駆動方式の液晶表示装置の場合に比べて、小形化、構成の簡略化、コストの低減などの点で特長に有利である。

すなわち、画像表示部1のみが基板上に形成されたアクティブマトリクス基板を用いている従来の一般的な液晶表示装置よりも、上記アクティブマトリクス基板1を用いた液晶表示装置の方が、

(1) 取付けにものぼる外部接続端子の本数を格段に低減して信頼性の向上を図ることができ、

(2) アクティブマトリクス基板1の周囲に外付けされるICチップが不要になり、その分コストを低減できる。

(3) ビデオカメラのビューファインダなどに用いる場合、液晶パネルの小形化に有利であり付加回路を高めることができ、などの利点を有する。

ところで、第3図のように画像表示部2、ゲート駆動回路4およびソース駆動回路5を同一基板上に形成した場合、たとえば画像表示部2が正常であってもゲート駆動回路4やソース駆動回路5

に欠陥が存在すると、そのアクティブマトリクス基板1は不良になってしまう。すなわち、画像表示部2とともにゲート駆動回路4やソース駆動回路5を同一基板上に形成すると、アクティブマトリクス基板1の製造歩留まりが低下するという問題が生じる。

この歩留まりを改善するものとして、第4図に示すようにアクティブマトリクス基板1のゲートバスラインYの両端にそれぞれ別々のゲート駆動回路14a、14bを接続する一方、ソースバスラインXの両端にもそれぞれ別々のソース駆動回路15a、15bを接続した駆動回路の冗長構成がすでに提案されている (特開第62-10696)。

第4図において、ゲートバスラインYと第1のゲート駆動回路14aとの間、ゲートバスラインYと第2のゲート駆動回路14bとの間、ソースバスラインXと第1のソース駆動回路15aとの間、ソースバスラインXと第2のソース駆動回路15bとの間にはTFTからなる切替スイッチ

16、17、18、19がそれぞれ介在されている。画像表示部12の構成は第3図のアクティブマトリクス基板1の場合と同じであり、ゲートバスラインY、ソースバスラインXのほかTFT 13や結露 (コンデンサで表している) を構成する結露電極などを含む。

上記アクティブマトリクス基板1において、たとえば2つのゲート駆動回路14a、14bのうち第2のゲート駆動回路14bに欠陥がある場合、切替スイッチ16をオン状態、切替スイッチ17をオフ状態に設定することによって、正常な第1のゲート駆動回路14aがゲートバスラインYに接続され、欠陥のある第2のゲート駆動回路14bはゲートバスラインYから電気的に切り離される。ソース駆動回路15a、15bの場合も同様に、いずれか一方に欠陥があるとき切替スイッチ18、19のオン、オフ状態を切替えて設定することによって、正常なソース駆動回路だけがソースバスラインXに接続される。なお、切替スイッチ16、17、18、19に代え、接

特開平3-179391(3)

画可能な状態でゲートバスラインYとゲート駆動回路14a、14bの間およびソースバスラインXとソース駆動回路15a、15bの間を接続し、欠陥のある駆動回路部の接続を切断するようにしても同じである。

このようにして、上記アクティブマトリクス基板11の場合には駆動回路の一部に欠陥があっても、これを良品とすることができ製造歩留まりがそれだけ高まることになる。

発明が解決しようとする課題

しかしながら、上述した冗長構造のアクティブマトリクス基板11では、一方のゲート駆動回路14a、14bの間方あるいは一方のソース駆動回路15a、15bの間方に欠陥がある場合、アクティブマトリクス基板11としての正常な動作を行えないので高収全体も不良になってしまう。このため、製造の歩留まりの改善という観点からは、なお不十分であるという問題点があった。

したがって本発明の目的は、製造の歩留まりを高めることのできる表示装置を提供することである。

実 施 例

本発明によれば、たとえば一方の行駆動回路の間方に欠陥がある場合でも、その欠陥箇所が第1の行駆動回路内では任意のシフトレジスタであり、第2の行駆動回路内では上記シフトレジスタと1対1に対応しないシフトレジスタであれば、切替手段による切替と設定により、上記各シフトレジスタを画素表示部の各行から切り取り、これらのシフトレジスタに1対1に対応する別の行駆動回路内のシフトレジスタを画素表示部の各行に接続させることによって正常な動作を行わせることができる。一方の列駆動回路に欠陥がある場合も同様である。

実施例

第1図は、本発明の一実施例である表示装置の表示駆動回路上の回路構成を概略的に示す回路図である。この実施例の表示装置は、アクティブマトリクス駆動方式の画素表示装置であって、第1図に示す表示駆動回路はアクティブマトリクス基板21である。

も。

問題を解決するための手段

本発明は、2次元配列部の画素表示部と、

この画素表示部の各行を順次駆動可能な第1の駆動回路と、

画素表示部の各列を順次駆動可能な第2の駆動回路とが互に互に形成された表示装置において、

前記第1および第2の駆動回路の少なくとも一方は、前記画素表示部を各々独立に駆動可能な一片の駆動回路から成り、

前記一方の駆動回路は、前記画素表示部の対応する各行または各列をそれぞれ分岐して順次駆動する複数のシフトレジスタを備え、かつそれらの一片の駆動回路のうち1つの駆動回路内の任意のシフトレジスタと、このシフトレジスタに1対1に対応する他の1つの駆動回路内の任意のシフトレジスタとのいずれか一方を、選択的に前記画素表示部から切り出すための切替手段を備えることを特徴とする表示装置である。

上記アクティブマトリクス基板21上には画素表示部22と、一方のゲート駆動回路24a、24bと、一方のソース駆動回路25a、25bとが形成されている。

上記画素表示部22には、定直電極となる複数のゲートバスラインY1、Y2、…、Ym（以下、任意のゲートバスラインについては符号Yで表す）と信号電極となる複数のソースバスラインX1、X2、X3、X4、…、Xn-3、Xn-2、Xn-1、Xn（以下、任意のソースバスラインについては符号Xで表す）とが互いに直交するように配列されており、これらのゲートバスラインYとソースバスラインXが交差する各電極に、つまりマトリクス状に給電（図ではコンデンサで表している）の給電電極である給電電極と、この給電電極に映像信号を選択的に供給するためのスイッチング素子であるTFT23とがそれぞれ配置されている。TFT23のゲート電極はゲートバスラインYに、ソース電極はソースバスラインXに、ドレイン電極は給電電極にそれぞれ

れ接続されている。

ゲート駆動回路24a、24bは、演算表示部22の各ゲートバスラインYにその並列に接続してTPT23をオン駆動させる信号を与えるための回路であり、ソース駆動回路25a、25bは演算表示部22の各ソースバスラインXにその並列に接続して映像信号を与えるための回路である。

上記一対のゲート駆動回路24a、24bは、それぞれ独立したシフトレジスタを含み、そのシフトレジスタにスタート信号を入力するためのスタート信号入力ライン34と、シフト動作用のクロック信号を入力するためのクロック信号入力ライン35とが各ゲート駆動回路24a、24bのシフトレジスタに共通に接続されている。

したがって、上記一対のゲート駆動回路24a、24bは、それぞれ独立に演算表示部22の各TPT23をオン駆動する回路を持つ。

また、上記一対のソース駆動回路25a、25bのうちの第1のソース駆動回路25aは、互いに並列に配列された4個のシフトレジスタ26a、

26bの各段は、それぞれTPT30aを介して左端から4番目のソースバスラインX4より取って順次3本置きのソースバスラインX4、X8、...、Xnに対応付けて接続されている。このように、並列列のシフトレジスタで1つの駆動回路を構成することで、シフト動作に必要なクロック周波数の低減が図られる。

これらのシフトレジスタ26a~26dには、それぞれスタート信号を入力するためのスタート信号入力ライン31a、31b、31c、31dと、シフト動作クロック信号を入力するためのクロック信号入力ライン32a、32b、32c、32dとが接続されている。

さらに、上記各TPT30aのソース電極は、映像信号を入力する映像信号入力端子36にそれぞれ接続されている。

同様に、第2のソース駆動回路25bも互いに並列に配列された4個のシフトレジスタ33a、33b、33c、33dと、ソースバスラインYの本数に対応する複数のTPT30bとで構成

特開平3-179391(4)

26b、26c、26dと、ソースバスラインXの本数に対応する複数のTPT30aとで構成されている。その4個のシフトレジスタ26a~26dのうち、第1のシフトレジスタ26aの各段はそれぞれTPT30aを介して左端から取って順次3本置きのソースバスラインX1、X5、...、Xn-3に対応付けて接続されている。すなわち、シフトレジスタ26aの各段は、対応するTPT30aのゲート電極に接続され、そのTPT30aのドレイン電極は対応するソースバスラインXに接続されている。同様に、第2のシフトレジスタ26bの各段は、それぞれTPT30aを介して左端から3番目のソースバスラインX2より取って順次3本置きのソースバスラインX2、X6、...、Xn-2に対応付けて接続される。また第3のシフトレジスタ26cの各段は、それぞれTPT30aを介して左端から3番目のソースバスラインX3より取って順次3本置きのソースバスラインX3、X7、...、Xn-1に対応付けて接続される。さらに第4のシフトレジ

スタ26dの各段は、それぞれTPT30aを介して左端から4番目のソースバスラインX4より取って順次3本置きのソースバスラインX4、X8、...、Xnに対応付けて接続されている。このように、並列列のシフトレジスタで1つの駆動回路を構成することで、シフト動作に必要なクロック周波数の低減が図られる。

また、これら4個のシフトレジスタ33a~33dは、対応するシフトレジスタ26a~26dと共通のスタート信号入力ライン31a~31d、およびクロック信号入力ライン32a~32dに接続されている。さらに、各TPT30bのソース電極は、上述した第1のソース駆動回路25aのTPT30aと共通の映像信号入力端子36にそれぞれ接続されている。

したがって、一対のソース駆動回路25a、25bは、それぞれ独立にソースバスラインXに映

映像号を与える映像を持つ。

また、ゲートバスラインYおよびソースバスラインXの少なくともゲート駆動回路24a、24bやソース駆動回路26a、26bとの接続部の配線は、エッチングによって選択的に形成可能とされている。

上記アクティブマトリクス基板21と図示しない対向基板との間に液晶層を介在させることによって液晶パネルが構成され、アクティブマトリクス基板31の給電電極と対向基板側の対向電極とで挟まれる液晶層の各部が画素となる。

次に、上記液晶表示装置におけるアクティブマトリクス基板21の駆動的な動作について説明する。スタート信号入力ライン34およびクロック信号入力ライン35から与えられるスタート信号およびクロック信号によって、ゲート駆動回路24a、24bからゲートバスラインYに対してその駆動順に従ってTP T 23をオン駆動する信号が与えられる。これによって、画面表示部22の各行のTP T 23がその行順序に従ってオン動作

から与えられるスタート信号およびクロック信号に基づくシフト動作によって、ソースバスラインX3、X7、X11、…、Xn-1に対応するTP T 30aを順次オン駆動し、第4のシフトレジスタ26dはスタート信号入力ライン31dおよびクロック信号入力ライン32dから与えられるスタート信号およびクロック信号に基づくシフト動作によって、ソースバスラインX4、X8、X12、…、Xnに対応するTP T 30aを順次オン駆動する。

また、各シフトレジスタ26a~26dのシフト動作は、そのシフト動作のクロック周期に合わせて、第1のシフトレジスタ26aから第4のシフトレジスタ26dへと順次開始されるように、スタート信号のタイミングが設定されている。したがって、TP T 30aは、対応するソースバスラインXの駆動順に従ってオン動作することになり、映像信号入力端子36から与えられる映像信号がTP T 30a、23を経て対応する映像の給電電極にそれぞれ与えられる。

時間半3-178391(5)

する。

一方、ソース駆動回路25a、25bは、ゲート駆動回路24a、24bが1行分のTP T 23をオン駆動する1走査周期を周期として、1行分の映像に対応する映像信号を各ソースバスラインXに与える動作を行う。すなわち、第1のソース駆動回路25aについて言えば、第1のシフトレジスタ26aはスタート信号入力ライン31aおよびクロック信号入力ライン32aから与えられるスタート信号、およびクロック信号に基づくシフト動作によって、ソースバスラインX1、X5、X9、…、Xn-3に対応するTP T 30aを順次オン駆動し、第2のシフトレジスタ26bはスタート信号入力ライン31bおよびクロック信号入力ライン32bから与えられるスタート信号およびクロック信号に基づくシフト動作によってソースバスラインX2、X6、X10、…、Xn-2に対応するTP T 30aを順次オン駆動し、第3のシフトレジスタ26cはスタート信号入力ライン31cおよびクロック信号入力ライン32c

上記動作は、第2のソース駆動回路25bにおいても同様である。

このような、ゲート駆動回路24a、24bとソース駆動回路25a、25bとの動作によって、上記アクティブマトリクス基板21を構成要素とする液晶パネルに映像信号に対応した画面が表示される。

ところで、上記アクティブマトリクス基板21において、たとえば第1のソース駆動回路25aにおける第1のシフトレジスタ26aに欠陥があり、また第2のソース駆動回路26bにおける第3のシフトレジスタ33cに欠陥があるときでも、以下のように処理することによって、このアクティブマトリクス基板21を良品とすることができると。

すなわち、第1のソース駆動回路25a側の欠陥を持つ第1のシフトレジスタ26aの各段に対応するTP T 30aとソースバスラインXとの接続部の配線をエッチングによって切断して、そのシフトレジスタ26aを画面表示部22から切り

特開平3-170391 (B)

置すとともに、第3のソース駆動回路25b側の
 欠陥を持つ第9のシフトレジスタ33cの各段に
 対応するTFT30bとソースバスラインxとの
 接続部の配線もエッチングによって切断して、そ
 のシフトレジスタ33cを画像表示部22から切
 り離す。切り離されたシフトレジスタ36aにつ
 いては、これと同じ機能を保持する別のシフトレジ
 スタ39aがその役割を担い、また切り離されたし
 う1つのシフトレジスタ33cについても、これ
 と同じ機能を保持する別のシフトレジスタ26cがそ
 の役割を担うので、このような切り離しの処理を
 行った後も、アクティブマトリクス基板21は正
 常な動作を行うことができる。つまり、第1のソ
 ース駆動回路25aの欠陥箇所と第2のソース駆
 動回路25bの欠陥箇所とが異なる限り、3つの
 ソース駆動回路25a、25bは互いの欠陥箇所
 を相互に補完し合うことができる。

このように、従来のアクティブマトリクス基板
 では不良品となってしまう欠陥がある場合でも、
 上記アクティブマトリクス基板21では良品とす

ることができるので、それだけ製造の歩留まりが
 改善されることになる。

上記アクティブマトリクス基板21では、各ソ
 ース駆動回路25a、25bのシフトレジスタを
 4個としているが、このシフトレジスタの個数を
 xとした場合、欠陥の発生が互いに独立した事象
 であると考えすることができることから、駆動回路
 全体を冗長構成の基本単位とする従来のアクティ
 ブマトリクス基板における歩留まりP1と、駆動
 回路の構成要素である個々のシフトレジスタを冗
 長構成の基本単位とする上記構成のアクティブマ
 トリクス基板21における歩留まりP2との間には、
 次式で示す関係が成り立つ。

$$P2 = (1 - (1 - (1 - (1 - P1)^{1/4})^4)^x) \dots (1)$$

第2図は、 $x=4$ 、 $x=8$ のときの歩留まりP
 1、P2の関係をグラフで示している。図面から
 明らかなように、シフトレジスタの個数xが増加
 するほど、従来のアクティブマトリクス基板に比
 べ上記実施例のアクティブマトリクス基板21の
 歩留まりが一層向上することがわかる。

発明の効果

以上のように本発明の表示装置によれば、駆動
 回路のシフトレジスタを構成要素として持つ同一機
 種の駆動回路を一対設け、一方の駆動回路の任意
 のシフトレジスタに欠陥がある場合にそのシフト
 レジスタを切替手段の切替と設定によって画像
 表示部から切り離し、そのシフトレジスタに1対
 1に対応するもう一方の駆動回路のシフトレジ
 スタで補完するように構成しているため、一対の駆
 動回路の両方に欠陥がある場合でも良品となる電
 率が高くなり、製造の歩留まりがそれだけ向上す
 る。

4. 図面の簡単な説明

第1図は本発明の一実施例である表示装置にお
 ける表示電極基板21上の回路構成を示す回路図、
 第2図はその表示電極基板の歩留まりと従来の表
 示電極基板の歩留まりとを比較して示すグラフ、
 第3図は従来の表示電極基板21上の回路構成を示
 す回路図、第4図は従来の冗長構成を持つ表示電
 極基板21上の回路構成を示す回路図である。

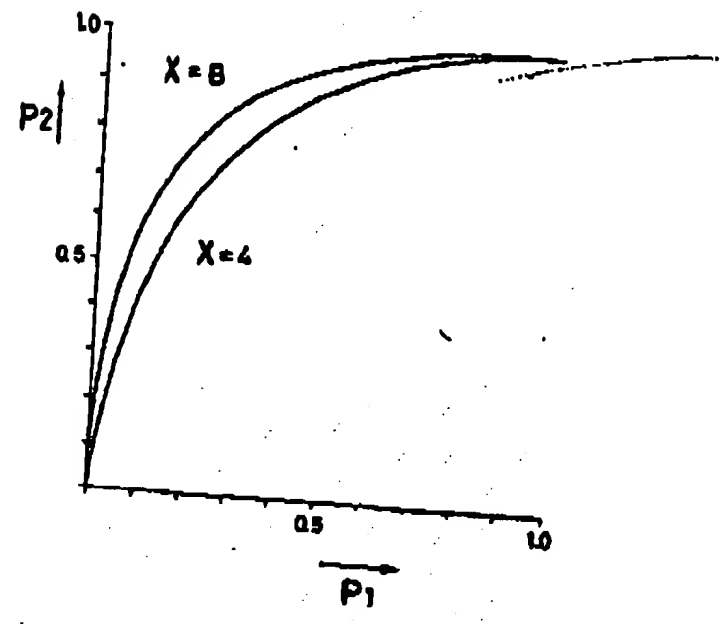
なお、上記実施例では、ソース駆動回路25a、
 25bのシフトレジスタ36a~36d、33a
 ~33dを対象とした場合について説明したが、
 これに限らずゲート駆動回路24a、24bのシ
 フトレジスタについても適用しても、同様の結果を
 得ることができる。

また上記実施例では、配線をエッチングによ
 って切断し、欠陥のあるシフトレジスタを画像表示
 部22から切り離す例について示したが、配線を
 物理的に切断したり、レーザ光を照射することによ
 って切断してもよく、さらには第4図に示した
 従来の場合のように、TFTなどのスイッチン
 グ素子を切替手段として用い、該欠陥を持つ
 回路のシフトレジスタを電気的に切り離すようにし
 てもよい。

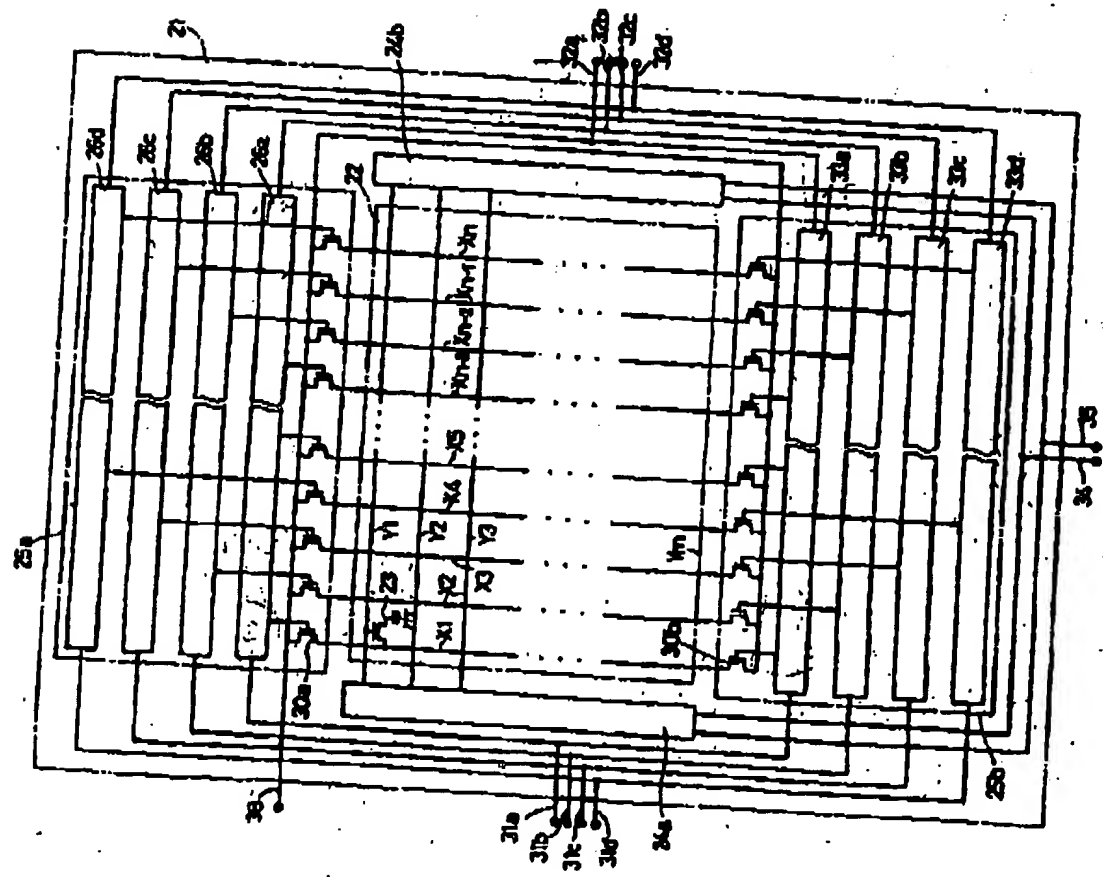
さらに上記実施例では、アクティブマトリクス
 駆動方式の液晶表示装置の場合について説明して
 いるが、単純マトリクス駆動方式の液晶表示装置
 やEL表示装置など他の表示装置にも同様に適用
 することができる。

特開平3-179391(7)

21...アクティブマトリクス基板、22...画素
表示部、24a...第1のゲート駆動回路、24b
...第2のゲート駆動回路、25a...第1のソース
駆動回路、25b...第2のソース駆動回路、26
a、33a...第1のシフトレジスタ、26b、3
3b...第2のシフトレジスタ、26c、33c...
第3のシフトレジスタ、26d、33d...第4の
シフトレジスタ、30a、30b...TFT、36
...駆動電圧入力ライン、X1~Xn...ソースバス
ライン、Y1~Ym...ゲートバスライン
代理人 弁理士 西村 圭一郎

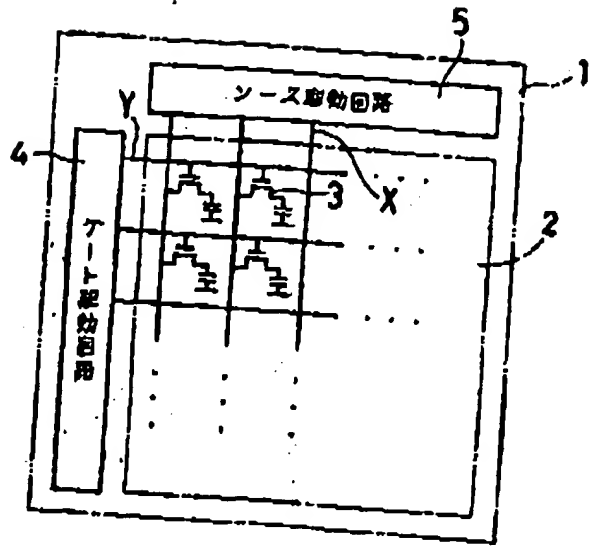


第2図

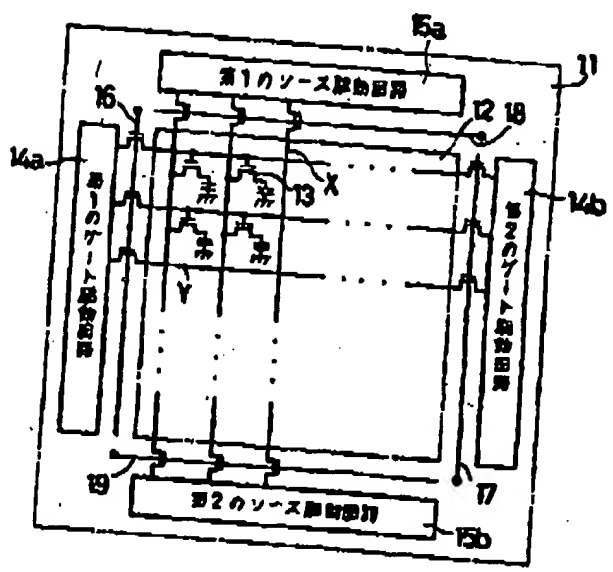


第1図

特開平3-179391(8)



第 3 図



第 4 図

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**